تكامل نماذج البرمجة المتوازية لتقليل استهلاك الطاقة في نظم الحوسبة عالية الأداء

إعداد

محمد نواف مصطفى الطوري

بحث مقدم لنيل درجة الماجستير في علوم الحاسبات

إشراف

د.عبدالله مهدي سعيد القرني

كلية الحاسبات وتقنية المعلومات

جامعة الملك عبدالعزيز

جدة – المملكة العربية السعودية

رمضان ١٤٤٠ هـ - مايو ٢٠١٩ م

المستخلص

منذ العقود الخمس الماضية، تأتي القوة الحسابية المتزايدة للحواسيب العملاقة في المقام الأول من مضاعفة تردد الساعة كل ثمانية عشر شهرًا. خلال هذه الفترة الزمنية، أرتفع معدل الساعة بمقدار ستة أوامر من حيث الحجم، في حين زاد عدد المعالجات بمقدار ثلاثة أوامر من حيث الحجم .الاستهلاك الهائل للطاقة في النظام هو من التحديات الرئيسية الناجمة عن زيادة حجم وتعقيد نظم الحوسبة عالية الأداء . نظرًا للقيود المفروضة على متطلبات الطاقة والحرارة في المعالجات الدقيقة الحالية، مما جعل البائعين للقيام بوضع معالجات متعددة (النوى) على الشريحة.ومن المتوقع أن يزداد عدد النواة في كل شريحة على نحو مضاعف خلال العقد المقبل. الهدف الأساسي من هذه الرسالة هو تقديم نموذج جديد للوصول للهدف من خلال الاستخدام الصحيح لنماذج البرمجة المتوازية التي تقلل من استهلاك الطاقة وزيادة أداء النظام من خلال التوازي الهائل (التزامن). في الدراسة الحالية، اجرينا تحليلاً تجريبيًا لنموذج برمجة متوازي مختلف على مستويات مختلفة منها الفردي والمزدوج. حيث انه تم اكتشاف نموذجًا جديدًا يمكنه تلبية قيود استهلاك الطاقة لأنظمة الحوسبة عالية الأداء الناشئة. كما يوجد مفاضلة بين استهلاك الطاقة والأداء في النظام. علاوة على ذلك تم تقييم استهلاك الطاقة جنباً إلى جنب مع الأداء في النموذج المقترح من خلال تنفيذ هذا النموذج في تطبيقات قياس الأداء المختلفة ك قياس ضرب المصفوفات وبالتالي، يمكن اعتباره نموذجًا رائدًا لنظام الحوسبة الجديد نهاية العام القادم.

Parallel Programming Models Integration for Reducing the Power Consumption of HPC Systems

By

Mohammed Nawaf Mustafa Al-Touri

A thesis submitted for the requirements of the degree of Master of Computer Science

Supervised by

Dr. Abdullah Algarni

FACULTY OF COMPUTING AND INFORMATION TECHNOLOGY

KING ABDULAZIZ UNIVERSITY

JEDDAH – SAUDI ARABIA

Ramadan 1440H – MAY 2019

ABSTRACT

For most of the past five decades, the growing computational power of supercomputers has come primarily from a doubling of clock frequency every 18 months. Over this time period, the clock rate increased by six orders of magnitude, while the number of processors increased by three orders of magnitude. The major challenge caused by the increasing scale and complexity of HPC systems is the massive power consumption. Due to constraints on heat and the power requirements of today's microprocessors, vendors have shifted to putting multiple processors (cores) on a chip. The number of cores per chip is expected to continue increasing exponentially over the next decade. One expected strategy is the correct usage of parallel programming models that decrease power consumption and increase system performance through massive parallelism (concurrency). In the current study, we improved a model that's called Hybrid MVAPICH-2 + CUDA (HMC) parallel programming model that outperformed other state-of-the-art dual and tri hierarchy level approaches with respect to power consumption and execution time(Performance). Moreover, the HMC model was evaluated by implementing the matrix multiplication benchmarking application. Consequently, it can be considered a leading model for the emerging Exascale computing system.